

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-166858

(43)Date of publication of application : 27.06.1990

(51)Int.Cl.

H04L 27/06

H03D 1/06

H03K 5/01

(21)Application number : 63-322397

(71)Applicant : SHARP CORP

(22)Date of filing : 20.12.1988

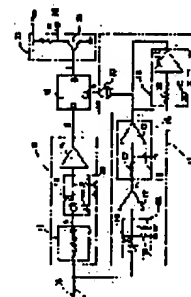
(72)Inventor : KIHARA SEIICHIRO
YOKOGAWA SEIICHI
OKABAYASHI NAONORI

(54) WAVEFORM SHAPING CIRCUIT

(57)Abstract:

PURPOSE: To execute exact wave form shaping regardless of an input signal column by deciding carrier frequency and generating a clock at the timing of ON and OFF of a carrier signal.

CONSTITUTION: A first circuit 10 decides the carrier frequency of the carrier signal being contained in an input signal. The circuit 10 consists of a filter circuit 12, an envelope detection circuit 13, and a comparator circuit 14. On the other hand, the clock is generated at the timing of ON and OFF of the carrier signal through a second circuit 11 and the decision result of the circuit 10 is outputted with this clock. A circuit 11 consists of an envelope detection circuit 16, a comparator circuit 17, first and second delaying circuits 18 and 19, and EX-OR circuit 20. The decision result of the circuit 10 is outputted to an output circuit 33 under the condition to hold timing width equal to the input signal through a latch circuit 15 and an output wave form appears at an output terminal 36.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-166858

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月27日

H 04 L 27/06
H 03 D 1/06
H 03 K 5/01

Z 8226-5K
Z 7328-5J
Z 7631-5J

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 波形整形回路

⑯ 特 願 昭63-322397

⑰ 出 願 昭63(1988)12月20日

⑱ 発 明 者 木 原 誠 一 郎 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 横 川 成 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 発 明 者 岡 林 直 憲 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

㉑ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉒ 代 理 人 弁理士 中村 恒久

明 細 書

1. 発明の名称

波形整形回路

2. 特許請求の範囲

入力信号に含まれるキャリア信号のキャリア周波数を判定する第一の回路と、前記キャリア信号のオン・オフのタイミングでクロックを発生する第二の回路とを有し、前記第一の回路の判定結果が前記第二の回路の発生するクロックで出力されるように構成したことを特徴とする波形整形回路。

3. 発明の詳細な説明

〈 産業上の利用分野 〉

本発明は、光空間伝送装置、光リモートコントロール装置、光ファイバー装置等に設けられる波形整形回路に関するものである。

〈 従来技術 〉

第3図は光空間伝送装置、光リモートコントロール装置、光ファイバー装置等に設けられる従来の波形整形回路を示し、第4図はその各部の電圧波形のタイムチャートを示す。

光空間伝送装置等において、入力信号に含まれるキャリア信号を入力信号より分離する際に用いられる波形整形回路は、一般に、第3図に示すようにフィルター回路1と検波回路2と積分回路3とコンパレータ回路4と出力回路5とで構成されている。

上記波形整形回路において、今、入力端子6に、第4図のような入力信号列aが与えられた場合、フィルター回路1の出力信号bは対応する第4図に示すように、該フィルター回路1が持つ特性によって波形がなまってしまう。一方、検波回路2は第4図に示すように前記フィルター回路1の出力信号の平均値を与えるため、入力信号列の最初と最後では、検波回路2の出力信号cの電圧値は低くなってしまふ。そして、積分回路3では前記フィルター回路1の出力信号bと、検波回路2の出力信号cとを比較して第4図に示すような出力信号dを発生する。従って、入力信号列の最初の方では、検波回路2の出力信号cが低いため、フィルター回路1の出力信号の電圧の低い部分で比較

し、積分回路3の出力信号dは早く立上がり、動作時間も長くなる。また、入力信号列の最後の方では、検波回路2の出力信号cが高いため、フィルター回路1の出力信号の電圧の高い部分で比較し、積分回路3の出力信号dはゆっくり立上がり、動作時間も短くなる。このためコンパレータ回路4は、第4図に示すように、入力信号列の最初の方では長く、最後の方では短かく信号を発生し、該コンパレータ回路4の出力信号eの反転信号を与える出力回路5は、第4図のfに示すように、入力信号列の最初の方では長く、最後の方では短かく信号を発生する。

＜ 発明が解決しようとする問題点 ＞

従来技術では、前述の如く入力信号のキャリア周波数の判定とキャリア周波数の分離とが検波回路2と積分回路3において同時に行なわれていたので、正確な波形整形ができないという問題が生じていた。

本発明は上記問題点に鑑み入力信号列の如何に拘らず、正確な波形整形を実現できる波形整形回

路の提供を目的とする。

＜ 問題点を解決するための手段 ＞

本発明による問題点解決手段は、入力信号に含まれるキャリア信号のキャリア周波数を判定する第一の回路10と、前記キャリア信号のオン・オフのタイミングでクロックを発生する第二の回路11とを有し、前記第一の回路10の判定結果が前記第二の回路11の発生するクロックで出力されるように構成したものである。

＜ 作用 ＞

上記問題点解決手段において、入力信号に含まれるキャリア信号のキャリア周波数を第一の回路10で判定し、一方、第二の回路11により前記キャリア信号のオン・オフのタイミングでクロックを発生し、この第二の回路11の発生するクロックで第一の回路の判定結果を出力する。

従つて、キャリア信号のキャリア周波数を判定する第一の回路10と、入力信号からキャリア信号を除去し波形整形する第二の回路11を分離しているため、入力信号列の如何に拘らず、正確な

波形整形を行うことができる。

＜ 実施例 ＞

以下、本発明の一実施例を第1図及び第2図に基づいて説明する。

第1図は本発明に係る波形整形回路の一実施例を示すブロック図、第2図は同じくその各部の電圧波形を示すタイムチャートである。

図示の如く、本発明に係る波形整形回路は、入力信号に含まれるキャリア信号のキャリア周波数を判定する第一の回路10と、前記キャリア信号のオン・オフのタイミングでクロックを発生する第二の回路11とを有し、前記第一の回路10の判定結果が前記第二の回路11の発生するクロックで出力されるように構成されたものである。

前記第一の回路10は、フィルター回路12と包絡線検波回路13とコンパレータ回路14とから構成され、そのコンパレータ回路14の出力はラッチ回路15のD入力端子に接続される。

前記第二の回路11は、包絡線検波回路16とコンパレータ回路17と第一遅延回路18と第

二遅延回路19とEX-OR回路20とから構成されている。

前記各包絡線検波回路13、16は、夫々ダイオード21、22、コンデンサ23、24、抵抗25、26から構成されている。

前記両遅延回路18、19は、抵抗27、28、コンデンサ29、30、増幅回路31、32から構成されており、第一遅延回路18の出力はEX-OR回路20の第一入力及び第二遅延回路19の出力はEX-OR回路20の第二入力に接続される。EX-OR回路20の出力は、ラッチ回路15のクロック入力端子に接続され、またこのラッチ回路15のQ出力は出力回路33のトランジスタ34に接続される。なお、35は入力端子、36は出力端子である。

上記構成において、入力端子35に例えば第2図に示すような入力信号aが入力されると、フィルター回路12からの出力信号は、第2図のbに示すように立上がり、立下りがなまった波形とな

る。この波形の信号を包絡線検波回路13に入力し、コンパレータ回路14で入力信号に含まれるキャリア周波数の判定を行うと、第2図のgに示すように、入力信号に必要とするキャリア周波数の有無がラッチ回路15のD入力端子に出力される。

一方、入力信号aは包絡線検波回路16、コンパレータ回路17を通ると、第2図のhに示すようにキャリア信号が除去される。この第2図のhの波形の信号は第一遅延回路18を通り、第2図のiに示すように一定時間T1だけ遅れた波形となると共に、第二遅延回路19を通って第2図のjのように更に一定時間T2だけ遅れた波形となる。そして、これら遅延回路18、19で夫々遅延させた信号をEX-OR回路20に通すと、入力信号の立上がり、立下がりのタイミング幅を保持しながら、第2図のkに示すように、信号波形の遅れに合わせたタイミング波形の信号がラッチ回路15のクロック入力端子に出力される。

従って、第一の回路10の判定結果は、ラッチ

回路15を経て第2図のlに示すように入力信号と同じタイミング幅を保持した状態で出力回路33に出力され、出力端子36に第2図のaに示すような出力波形が現れる。故に、入力信号列の如何に拘らず、正確な波形に再生することができる。

なお、本発明は、上記実施例に限定されるものではなく、本発明の範囲内で上記実施例に多くの修正および変更を加え得ることは勿論である。

＜ 発 明 の 効 果 ＞

以上の説明から明らかな通り、本発明によると、入力信号に含まれるキャリア信号のキャリア周波数を判定する第一の回路と、前記キャリア信号のオン・オフのタイミングでクロックを発生する第二の回路とを有し、前記第一の回路の判定結果が前記第二の回路の発生するクロックで出力されるように構成しているので、入力信号列の如何に拘らず、正確な波形整形を行うことができる。

4. 図面の簡単な説明

第1図は本発明に係る波形整形回路の一実施例を示すブロック図、第2図は同じくその各部の電

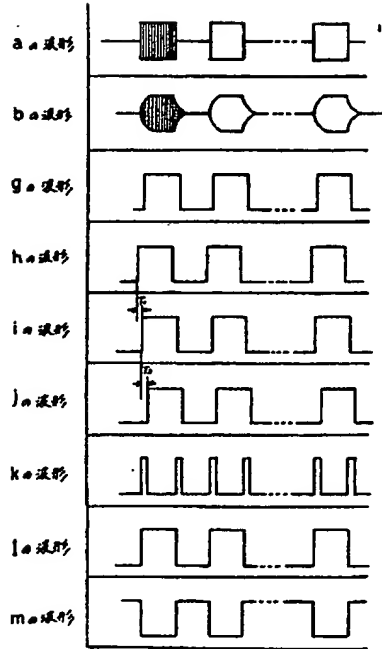
圧波形を示すタイムチャート、第3図は従来の波形整形回路の回路図、第4図はその各部の電圧波形のタイムチャートである。

10:第一の回路、11:第二の回路、12:フイルター回路、13、16:包絡線検波回路、14、17:コンパレータ回路、15:ラッチ回路、18:第一遅延回路、19:第二遅延回路、33:出力回路。

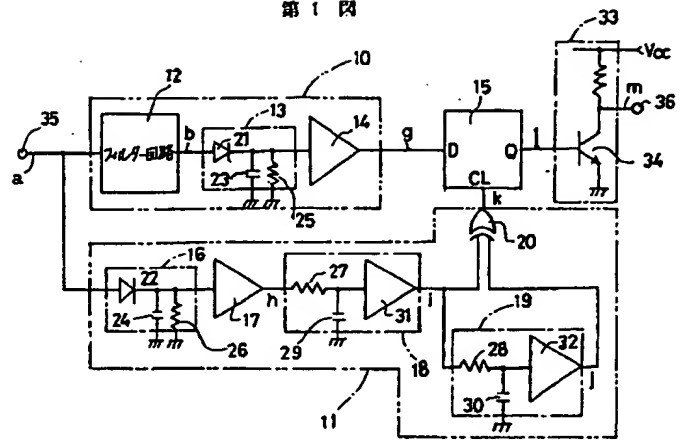
出 願 人 シャープ株式会社

代 理 人 中 村 恒 久

第 2 図

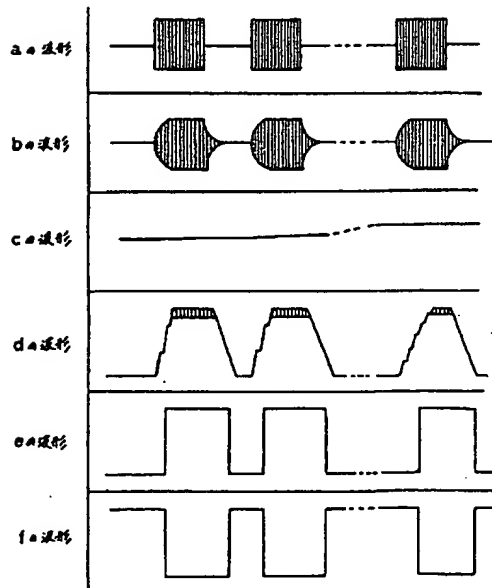


第 1 図



- | | |
|------------------|------------|
| 10: 第一の回路 | 15: ラッチ回路 |
| 11: 第二の回路 | 18: 第一遅延回路 |
| 12: フィルター回路 | 19: 第二遅延回路 |
| 13, 16: 包絡線検波回路 | 33: 出力回路 |
| 14, 17: コンバーター回路 | |

第 4 図



第 3 図

